

JAPANESE PATENT (JP)

PUBLICATION(A)

(11) Publication No.: 10-2001-509610      (43) Publication Date: 24 July 2001  
(21) Application No.: 10-2000-501565      (22) Application Date: 2 July 1998

(54) Title of the Invention:  
VOICE EFFECT PROCESSOR OF EXECUTING SIMPLE COMBINATION COMMAND  
AND PERFORMING VOICE DATA SEQUENCE

Abstract:

A voice effect processor (30) includes a first memory integrated on a single chip, a command executing unit (70), and a voice memory engine (74). The first memory (72) includes a first address space to be addressed by the command executing unit (70) and a voice effect engine (50). The command executing unit (70) executes a voice process command to apply reading and writing to the first address space, and the voice memory engine (74) operates independently of the command executing unit (70). At the same time when the reading and the writing are applied to the first address space, operation and memory access are applied to the second memory address, thereby realizing a voice delaying line.

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2001-509610

(P2001-509610A)

(43) 公表日 平成13年7月24日 (2001.7.24)

(51) Int.Cl. <sup>4</sup>	識別記号	P I	フーノート (参考)
G 1 0 H 1/02		G 1 0 H 1/02	
G 0 6 F 9/38	3 7 0	G 0 6 F 9/38	3 7 0 C
G 1 0 K 15/12		H 0 4 S 7/00	Z
H 0 4 S 7/00		G 1 0 K 15/00	B

審査請求 有 予備審査請求 有 (全 42 頁)

(21) 出願番号 特願2000-501565 (P2000-501565)  
 (86) (22) 出願日 平成10年7月2日 (1998.7.2)  
 (86) 翻訳文提出日 平成12年1月4日 (2000.1.4)  
 (86) 国際出願番号 P C T / U S 9 8 / 1 3 8 4 4  
 (87) 国際公開番号 W O 9 9 / 0 1 9 5 3  
 (87) 国際公開日 平成11年1月14日 (1999.1.14)  
 (31) 優先権主張番号 0 8 / 8 8 7 . 3 6 2  
 (32) 優先日 平成9年7月2日 (1997.7.2)  
 (33) 優先権主張国 米国 (US)

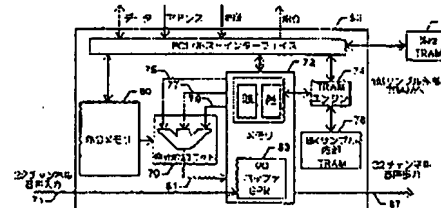
(71) 出願人 クリエイティブ テクノロジー リミテッ  
 ド  
 シンガポール シンガポール 0513 エア  
 ー ラジャール クレセント 67-#03-  
 18  
 (72) 発明者 ホーグ スティーヴン  
 アメリカ合衆国 カリフォルニア州  
 95060 サンタ クルーズ ボールドウィ  
 ン ストリート 150  
 (74) 代理人 弁理士 中村 裕 (外9名)

最終頁に続く

(54) 【発明の名称】 減結合の命令実行及び音声データシーケンスを有する音声効果プロセッサ

(57) 【要約】

音響効果プロセッサ (30) は、単一チップ上に一体化された第1メモリ (72) と、命令実行ユニット (70) と、音響メモリエンジン (74) とを含む。第1メモリ (72) は、命令実行ユニット (70) 及び音響効果エンジン (50) の両方によりアドレスできる第1アドレス空間を含む。命令実行ユニット (70) は、上記第1アドレス空間から読み取り及びそこに書き込むための命令を含む音響処理命令を実行し、そして音響メモリエンジン (74) は、命令実行ユニット (70) とは独立して動作し、第1アドレス空間へ読み取り及び書き込みすると共に、必要に応じて第2メモリへのアドレス演算及びメモリアクセスを実行して、音声遅延線を実施する。



(2)

特表2001-509610

【特許請求の範囲】

- 【請求項1】 (a) 第1アドレススペースを含む第1メモリと、  
 (b) 上記第1アドレススペースから読み取り及びそこに書き込むための命令を含む信号処理命令を処理する命令実行ユニットと、  
 (c) 上記命令実行ユニットとは独立して動作して、上記第1アドレススペースから読み取り及びそこに書き込むと共に、必要に応じて第2メモリへのアドレス演算及びメモリアクセスを実行して、信号データ記憶を行う信号メモリエンジンとを備えたことを特徴とする信号プロセッサ。
- 【請求項2】 上記命令実行ユニットは、第1の実行速度で命令を実行し、そして上記信号メモリエンジンは、上記第1の実行速度とは異なる第2の実行速度でオペレーションを実行する請求項1に記載の信号プロセッサ。
- 【請求項3】 上記第1アドレススペースは、第1メモリ位置を含み、そして上記信号メモリエンジン及び命令実行ユニットは、非固定の時間的關係で上記第1メモリ位置に独立してアクセスすることができる請求項1に記載の信号プロセッサ。
- 【請求項4】 上記信号メモリエンジンは、上記第1アドレススペースに記憶された値に基づいて演算を実行しそして上記第2メモリへのメモリアクセスを実行する請求項1に記載の信号プロセッサ。
- 【請求項5】 上記信号データ記憶は、音声データ記憶より成る請求項1に記載の信号プロセッサ。
- 【請求項6】 音響を合成する音響処理エンジンを更に含む請求項5に記載の信号プロセッサ。
- 【請求項7】 合成された音響を表わす上記音響処理エンジンからの出力は、上記第1メモリの第2アドレススペースに記憶され、そして上記命令実行ユニットにより処理される命令は、上記第2アドレススペースから読み取り及びそこに書き込むものである請求項6に記載の信号プロセッサ。
- 【請求項8】 上記命令実行ユニットに結合された命令メモリを更に備え、この命令メモリは、上記命令実行ユニットによって実行されるべき信号処理命令の特定セットを含むマイクロプログラムを備えている請求項1に記載の音響プロ

(3)

特許2001-509610

セッサ。

【請求項9】 上記命令実行ユニットは、分岐、ループ又はサブルーチンコールを伴わずに、上記マイクロプログラムに命令が現われる順序で、各サンプル周期に全マイクロプログラムを通る単一バスを実行する請求項8に記載の信号プロセッサ。

【請求項10】 上記命令実行ユニットは、選択された命令の実行結果を、その選択された命令の条件コードの値に基づいて無視することにより、命令の条件付実行を与える請求項9に記載の信号プロセッサ。

【請求項11】 上記命令メモリは、上記第1メモリとは異なるメモリである請求項8に記載の信号プロセッサ。

【請求項12】 上記第1メモリは、ランダムにアドレス可能なメモリである請求項1に記載の信号プロセッサ。

【請求項13】 上記ランダムにアドレス可能なメモリは、複数の個別の物理的RAMメモリを含む請求項12に記載の信号プロセッサ。

【請求項14】 上記第1メモリは、更に、音響入力及び音響出力を表わす値を記憶するための第2アドレススペースを含む請求項12に記載の信号プロセッサ。

【請求項15】 上記第1メモリは、更に、頻繁に使用する係数、変数及び中間値を記憶するための第3アドレススペースを含む請求項12に記載の信号プロセッサ。

【請求項16】 上記命令実行ユニットは、上記第1メモリの上記第1、第2及び第3アドレススペースにアクセスするための均一アドレッシング機構を使用する請求項15に記載の信号プロセッサ。

【請求項17】 上記音声データ記憶は、音声遅延線を実施するための円形アドレッシングを用いてアクセスされる請求項5に記載の信号プロセッサ。

【請求項18】 上記音声データ記憶は、テーブルベースのアドレッシングを用いてアクセスされる請求項5に記載の音響プロセッサ。

【請求項19】 (a) 第1アドレススペース及び第2アドレススペースを含む第1メモリと、

(4)

特表2001-509610

- (b) 音響処理命令を記憶する第2メモリと、
- (c) 音響を合成しそしてその合成された音響を表わすデータを上記第2アドレススペースへ出力する音響処理エンジンと、
- (d) 上記第1及び第2アドレススペースから読み取り及びそこに書き込むための命令を含む、上記第2メモリに記憶された上記音響処理命令を実行するように構成された命令実行ユニットと、
- (e) 上記命令実行ユニットとは独立して動作して、上記第1アドレススペースから読み取り及びそこに書き込むと共に、必要に応じて第2メモリへのアドレス演算及びメモリアクセスを実行して、音声データ記憶を行う音響メモリエンジンとを備えたことを特徴とする単一チップ音響プロセッサ。

【請求項20】 上記命令実行ユニットは、第1の実行速度で命令を実行し、そして上記音響メモリエンジンは、上記第1の実行速度とは異なる第2の実行速度でオペレーションを実行する請求項19に記載の音響プロセッサ。

【請求項21】 上記第1アドレススペースは第1メモリ位置を含み、そして上記音響メモリエンジン及び命令実行ユニットは、非固定の時間的關係で上記第1メモリ位置に独立してアクセスする請求項19に記載の音響プロセッサ。

- 【請求項22】 (a) バスと、
- (b) 上記バスに通信結合されたホストプロセッサと、
- (c) 第2メモリと、
- (d) 上記バスに音響結合された音響プロセッサとを備え、この音響プロセッサは、
  - (i) 第1アドレススペースを含む第1メモリと、
  - (i i) 上記第1アドレススペースから読み取り及びそこに書き込むための命令を含む音響処理命令を処理する命令実行ユニットと、
  - (i i i) 上記命令実行ユニットとは独立して動作して、上記第1アドレススペースから読み取り及びそこに書き込むと共に、必要に応じて第2メモリへのアドレス演算及びメモリアクセスを実行して、音声データ記憶を行う音響メモリエンジンと、
  - (i v) 上記第2プロセッサを上記バスにインターフェイスするホストイン

(5)

特許2001-509610

ターフェイスユニットとを含むことを特徴とするコンピュータ処理システム。

【請求項23】 上記ホストプロセッサは、上記第1アドレススペースから読み取り及びそこに書き込むことができる請求項22に記載のコンピュータ処理システム。

【請求項24】 音響プロセッサ内に音声遅延線を実施する方法において、

(a) 上記音響プロセッサの命令実行ユニットにおいて音響処理命令を実行して、遅延されるべき音響を表わすデータを第1メモリに記憶し、

(b) 上記段階(a)とは独立して、上記音響プロセッサの音響メモリエンジンで上記第1メモリから上記データを検索し、そして上記データを第2メモリに書き込み、そして

(c) 上記音響プロセッサで上記第1及び第2メモリへのアドレス演算及びその後のメモリアクセスを実行して、音声遅延線を実施する、という段階を備えたことを特徴とする方法。

【請求項25】 上記音響プロセッサにおいて命令を実行して、上記音響メモリエンジンにより上記第1メモリに記憶されたデータを、上記第1メモリの異なる位置へ書き込んで、上記音響プロセッサから出力するという段階を更に含む請求項24に記載の方法。

【請求項26】 コンピュータプロセッサを動作する方法において、

(a) 上記コンピュータプロセッサの音響合成エンジンで音声信号を合成し、

(b) 上記音声信号を上記コンピュータプロセッサの音響効果エンジンへ出力し、

(c) 上記出力された音声信号を、上記音響効果エンジンに結合された上記メモリの第1位置に記憶し、

(d) 上記音響効果エンジンの命令実行ユニットにおいて第1の音響処理命令を実行して、上記記憶された音声信号を上記メモリの第2位置へ転送し、この第2位置は、音響遅延メモリの位置へのアドレスと対にされ、そして

(e) 上記段階(d)とは独立して、上記段階(d)とは独立した音響メモリエンジンで上記音響遅延メモリへのアドレス演算及びメモリアクセスを実行して音声データ記憶を実施する、

(6)

特許2001-509610

という段階を含むことを特徴とする方法。

【請求項27】 上記段階(e)は、少なくとも1つのサンプル周期中に上記音声信号を上記音響遅延メモリに記憶した後に、上記音声信号を上記第1メモリの第3メモリ位置に書き込む段階を含む請求項26に記載の方法。

【請求項28】 上記命令実行ユニットにおいて第2の音響処理命令を実行して、上記音響処理エンジンにより上記第1メモリの上記第3位置に記憶されたデータを上記第1メモリの第4位置へ書き込んで上記音響効果エンジンから出力するという段階を更に含む請求項27に記載の方法。

(7)

特表2001-509610

## 【発明の詳細な説明】

【0001】

## 【技術分野】

本発明は、音声信号プロセッサに係る。より詳細には、本発明は、単一のチップ上に一体化された音声効果プロセッサであって、このプロセッサの命令実行ユニットの動作とは独立して音声遅延線を遂行することのできるメモリ及びアーキテクチャーを含む音声効果プロセッサに係る。

【0002】

## 【背景技術】

音響効果音声信号プロセッサ (ASP) は、一般に、多数の音声成分において音響効果を生ずるのに使用され、その幾つかの例は、プログラム可能な楽器、ビデオゲーム、映画のサウンドシステム、バーチャルリアリティシステム、及びコンピュータオーディオシステムである。このような音響効果は、反響効果、3D音声及び歪効果を含むが、これに限定されるものではない。ASPは、一連の命令を含むプログラムを実行することにより音響効果を形成する。各命令は、受信した信号に対して特定の論理及び/又は演算オペレーションを遂行するようにASPに指令し、その結果、特定の音響効果がプログラム形成される。

比較的低速の「タンク」RAM (TRAM) メモリの大型ブロックの形態をしばしばとる遅延線を使用することによりASPが音響効果を形成するのが一般的である。ある既知のASPは、ASPの命令実行ユニットの制御のもとでTRAMエンジンを介してTRAMデータに対してオペレーションを実行する。即ち、命令実行ユニットは、遅延線からの信号出力に対して動作しようとするときに、特定の命令サイクルでTRAM読み取りオペレーションを開始するようスケジュールし、読み取りオペレーションの実行に対して特定のサイクル数だけ待機し、そしてデータを検索するオペレーションを実行する。

この形式のプロセッサでは、命令実行ユニットをTRAMエンジンに密接に結合しなければならない。というのは、オペレーションのスケジューリングに誤同期があると、TRAMデータが失われることになるからである。又、音響効果の整合及び遂行に命令実行ユニットの貴重な処理時間が使用される。従って、この



(8)

特表2001-509610

ようなASPのアーキテクチャーを改良することが望まれる。

【0003】

【発明の開示】

本発明は、TRAMエンジン（以下、「音響メモリエンジン」と称する）がプロセッサの命令実行ユニットから減結合された音声効果プロセッサを提供する。本発明では、音響メモリエンジンと命令実行ユニットが互いに独立して動作し、メモリの共用エリアにTRAMデータを通す。音響メモリエンジンは、共用メモリエリアをTRAM書き込みのソース及びTRAM読み取りの行先として使用して、TRAMデータをそれ自身のスケジュールに基づいて読み取り及び書き込みする。実行プログラムがTRAMデータを必要とするときには、命令実行ユニットがこれらの同じ共用レジスタファイル位置に読み取り又は書き込みする。

本発明による音響効果プロセッサは、単一のチップに集積化された第1メモリと、命令実行ユニットと、音響メモリエンジンとを備えている。第1メモリは、命令実行ユニット及び音響メモリエンジンの両方によりアドレスできる第1アドレススペースを含む。命令実行ユニットは、第1アドレススペースから読み取り及びそこに書き込むための命令を含む音響処理命令を実行し、そして音響メモリエンジンは、命令実行ユニットのプログラムカウンタ（命令実行レート）とは独立して動作して、第1アドレススペースからの読み取り及びそこへの書き込みを行うと共に、必要に応じて、第2メモリへのアドレス演算及びメモリアクセスを実行して、音声データ記憶（例えば、遅延長さを動的に変更できる遅延線、これは、コーラス、フランジング及びピッチシフトのような多数の音声効果に必要な能力である）を遂行する。第2メモリは、効果プロセッサの内部にあってもよいし、外部にあってもよい。

本発明の特徴及び効果は、添付図面を参照した以下の詳細な説明より明らかとなる。

【0004】

【発明を実施するための最良の形態】

本発明は、あらゆる種類のデジタル音響発生システムに適用できる。例えば、ビデオゲーム、マルチメディアコンピュータシステム、バーチャルリアリティ環

(9)

特表2001-509610

境、映画のサウンドシステム、ホームシアター及びホームデジタルオーディオシステムに、進歩した音声効果を与えることができる。図1Aは、モニタ12及び左右のスピーカ14、16をもつ代表的なマルチメディアパーソナルコンピュータ10、即ち三次元音声のような音響効果で本発明により改善することのできる例示的なシステムを示している。

【0005】

図1Bは、パーソナルコンピュータ10の内部アーキテクチャを非常に簡単に示す。パーソナルコンピュータ10は、CPU18と、メモリ20と、フロッピードライブ22と、CD-ROMドライブ24と、ハードドライブ26と、マルチメディアカード28とを備えている。図1Bに示すコンピュータ10の各要素は、バスシステム29を経て互いに通信する。もちろん、本発明では、多数のコンピュータ構成を使用できる。実際に、本発明は、パーソナルコンピュータに限定されるものではなく、ビデオゲームや映画のサウンドシステムや他の多数のシステムにも適用できる。

【0006】

図2は、本発明による集積回路を取り付けることのできる典型的なマルチメディアカード28を示す。このマルチメディアカード28は、回路ボード32に取り付けられた音響プロセッサチップ30を備えている。図2に示すように、CD-ROMコネクタ34、AC97コーデック36、オプションのAC3デコンプレッサ/デコーダ38、及びミキサ39は、全て、適当なインターフェイスを経て音響プロセッサチップ30に接続される。

【0007】

又、図2には音響プロセッサ30への種々の他の接続も示されており、これらは、ジョイスティックコネクタ42、モデム（図示せず）用の電話線接続44、ラインインコネクタ46、マイクロホンコネクタ47、及びスピーカ出力48を含む。更に、バスシステム29の一部であるPCIバス49への接続も示されている。バス49は、ホストマイクロプロセッサ18及びメインメモリ20に接続される。

【0008】

(10)

特表2001-509610

図3は、音響プロセッサ30の簡単なブロック図である。音響プロセッサ30は、3つの主機能ユニット、即ち音響処理エンジン40と、音響効果エンジン50と、ホストインターフェイスユニット60とを備えている。音響処理エンジン40は、64音声波テーブル合成装置であり、これは、「キャッシュメモリを用いたデジタルサンプリング装置 (Digital Sampling Instrument Employing Cache Memory)」と題する米国特許第5,342,990号に開示されたプロフェッショナルクオリティのオーディオ再生用の8ポイント箱間アルゴリズムと、16個の加算効果送信バスとを使用する。64個の音声チャンネルの各々は、それ自身のプログラム可能な振幅で、これらバスのうちの任意に選択される4つのバスヘルツ指定される。ホストインターフェイスユニット60は、PCIプロトコルを用いて音響プロセッサ30をホストCPU18にインターフェイスする。音響効果エンジン50は、音響処理エンジン40から入力を受け取ると共に、付加的な音声入力、とりわけ、CDオーディオ、Zビデオ、マイクロホンジャック、ステレオ入力及び補助S/PDIF入力を受け取る。音響効果エンジン50及びホストインターフェイスユニット60の更なる詳細は、図4を参照して以下に説明する。ホストインターフェイスユニット60の別の詳細、並びに音響処理エンジン40のある詳細、及び音響プロセッサ30の他の部分は、本発明の譲受人であるクリエイティブ・テクノロジー・リミテッドに譲渡されたデビッドP. ロッサム及びスコットフューラを発明者とする「多数の非同期音声流を伴う音声効果プロセッサ (AUDIO EFFECTS PROCESSOR WITH MULTIPLE ASYNCHRONOUS AUDIO STREAMS)」と題する米国特許出願に開示されている。上記米国特許第5,342,990号及びこの特許出願は、両方とも、参考としてここに援用する。

【0009】

#### 音声効果プロセッサ50

本発明によれば、音響効果エンジン50（「効果プロセッサ50」ともいう）は、1）音声信号処理命令を実行し、そして2）音声データ記憶（例えば、音声信号遅延線及びテーブルルックアップ）を実施する個別の機能的ユニットを備え

(11)

特表2001-509610

ている。これらの機能的ユニットは、互いに独立して動作し、そして共用メモリアドレス空間を経てデータを交換する。本発明の音声効果プロセッサの1つの特定の実施形態が図4に示されており、これについて以下に説明する。しかしながら、本発明は、この特定の実施形態に限定されるものではない。以下の説明を読めば、本発明の概念から逸脱せずに効果プロセッサ50の他の形態も考えられることが当業者に明らかであろう。

【0010】

図4は、図3に示された効果プロセッサ50の1つの実施形態を示す簡単なブロック図である。効果プロセッサ50の基本的なアーキテクチャは、命令実行ユニット70と、高速内部メモリ72と、音響メモリエンジン74（「TRAMエンジン74」ともいう）とを結合するものであり、このエンジンは、内部及び外部の低速大容量TRAMメモリ76及び78にインターフェイスする。音声信号は、プロセッサ入力71において効果プロセッサ50により受け取られ、ここで、メモリ72の二重バッファ部分83に向けられる。この実施形態では、入力71に受け取られる音声信号は、音響処理エンジン40からの16の音声出力、ステレオ入力のための2本のライン、CD音声入力のための2本のライン、2ビデオ入力のための2本のライン、マイクロホン入力、補助S/PDIF入力のための2本のライン、及び6ラインのI<sup>2</sup>S入力を含む。

【0011】

#### 効果プロセッサ50内での命令実行

命令実行ユニット70は、メモリ72とは別の内部マイクロプログラムメモリ80に記憶された命令を実行し、メモリアドレス空間83に記憶された1つ以上の音声信号に対して特定のオペレーションを実行する。各命令は、4ビットのOPコードフィールドと、3つの10ビット入力オペランドアドレスフィールドと、10ビットの出力オペランドアドレスフィールドとを有する。OPコードフィールドは、プロセッサに対し命令のオペレーションを特定する命令のオペレーションコード（OPコード）を保持する。オペランドアドレスフィールドは、メモリ72の空間へのアドレスを保持する。この実施形態では、オペランドは10ビット長さであるから、DSP命令に使用できるメモリ72の最大のアド

(12)

特表2001-509610

レス可能なスペースは、1024個の位置である。メモリ72の全1024個の位置をアドレスすることができる。

#### 【0012】

命令実行ユニット70は、メモリ72の位置に記憶されたデータを命令の3つの入力オペランドで特定された位置から入力データライン75、77及び79を経て検索する。次いで、命令実行ユニット70は、命令のOPコードで特定された必要なオペレーションを実行し、そしてその結果のデータを、出力データライン81を経て、受け取った命令の結果オペランドで特定されたメモリアドレスへ書き込む。結果のデータは、メモリスペース83の32個の出力バッファの1つへ書き込むことにより音声出力ポート87へ向けられるか、メモリ72の別の部分に記憶されるか、又は命令実行ユニット70によりその後のオペレーションに再使用される。

#### 【0013】

命令実行ユニット70内の命令実行は、サンプルロックされそしてメモリベースであり、レジスタベースではない。サンプルロックされる実行とは、命令ユニット70が、サンプル周期ごとに、マイクロプログラムメモリ80を経て単一バスを実行することを意味する。従って、命令実行は、システムの音声サンプルレートに固有に結合される。この実施形態では、サンプルレートは、図2に示すAC97コーデック36から導出される48KHzである。他の実施形態では、このサンプルレートは、異なる設定周波数であってもよいし、又は可変周波数であってもよい。例えば、別の実施形態では、サンプルレートは、ボード32のシステムクロック（図示せず）から導出される約40-50Hzの範囲である。

メモリベースの命令実行とは、命令実行ユニットの入力に設定される入力レジスタのボトルネックを伴わずにオペランドがメモリ72から直接フェッチされることを意味する。又、結果をセーブするために各命令の後にフラッシュする必要のある揮発性出力レジスタがないことも意味する。

#### 【0014】

命令実行ユニット70は、マイクロプログラム命令80の全ての命令を、分岐やループやサブルーチンコールを伴わずに、「インライン」で実行する。このよ

(13)

特表2001-509610

うなインライン実行は、基本的なりアルタイムデッドライン（1サンプル周期）内の全ての処理が設計により達成されるように確保する。又、これは、実行パイプラインの設計を簡単化する。というのは、命令シーケンスが完全に決定論的であり、即ち制御の流れに分岐がないからである。

#### 【0015】

命令実行は、マイクロプログラムメモリ80の開始からそのメモリの終りまで常にインラインで進行するが、条件付命令実行のための規定がある。このような条件付命令実行の詳細、及び命令実行ユニット70により実行される命令セットの特性は、本発明の譲受人であるクリエイティブ・テクノロジーズ・リミテッドに譲渡されたステフェン・ホージを発明者とする「音声効果のための命令セットをもつプロセッサ (Processor With Instruction Set for Audio Effects)」と題する米国特許出願に開示されている。この特許出願は、全ての目的で参考としてここに援用する。

#### 【0016】

各命令は、単一の命令サイクルで実行され、その周期は、サンプルレートをマイクロプログラム命令80内の命令の数で除算したものである。従って、マイクロプログラムメモリ80が512個の命令長さであり、そしてサンプルレートが48KHzであるような実施形態では、命令サイクルの長さが40.7ナノ秒である。各命令の結果は、次の命令サイクルで使用することができる。

#### 【0017】

##### ホストインターフェイスユニット60

図4にはホストインターフェイスユニット60も示されており、これは、ホストプロセッサ (CPU18) が音声効果プロセッサ50のオペレーションを制御できるようにする。このような制御は、ホストが初期化を行うと共にデータ及び実行可能な命令をメモリ72及び/又はマイクロプログラムメモリ80に対して読み取り及び書き込みできるようにすることにより達成される。このようなメモリ読み取り及び書き込みオペレーションは、デジタル信号処理 (DSP) プログラムの実行に対して透過的に行うことができ、音声効果プロセッサ50が、多数の独立したそして別々にロードされたプログラムの同時スタート、実行及び停止

(14)

特表2001-509610

をサポートできるようにする。この実施形態では、インターフェイスユニット60を経てホストプロセッサと音声効果プロセッサ50との間に生じる通信がPCIプロトコルを用いてPCIバス上で行なわれるが、他の実施形態では他のプロトコルを実施することができる。又、更に別の実施形態では、ホストインターフェイスユニット60は、大エンディアン(endian)又は小エンディアンプロセッサに使用するのに適した直接的なメモリマップ型マイクロプロセッサインターフェイスである。

【0018】

#### 音響メモリエンジン74

音響メモリエンジン74は、メモリ72と、長時間音声データ記憶に使用される大容量TRAMメモリとの間のインターフェイスである。図5は、音声遅延線の形態で音声データ記憶を実施するように構成された音響メモリエンジン74の1つの実施形態を示すブロック図である。図5に示すように、音響メモリエンジン74の主たる要素は、制御ビット83と、TRAMデータ及びアドレスバッファ84及び85(メモリ72の一部分)と、遅延バースのアдресカウンタ86と、整列制御回路87と、アドレスジェネレータ88と、データフォーマット手段90とである。アドレスジェネレータは、遅延線を発生するための円形アドレスリングを行う。データフォーマット手段は、メモリ72の32ビットオペランドを、TRAM書き込みオペレーション中に物理的なTRAMにより実施される狭いワード巾へと圧縮し、そして読み取りオペレーション中にそれらを膨張して戻す。

【0019】

音響メモリエンジン74は、TRAMアドレスバッファ及びTRAMデータバッファを実施するメモリ72のアドレススペースへとマップされたRAMのブロックへ、命令実行ユニット及びホストインターフェイスと共用状態で、アクセスする。これらの二重バッファメモリ(TRAMデータバッファ84及びTRAMアドレスバッファ85)は、整列ビット83a及び読み取り/書き込みビット83bを含む制御ビット83と共にサンプル周期中のTRAMエンジンのアクティビティを完全に特定するデータ及びアドレス対を保持する。マイクロプログラム

(15)

特許2001-509610

メモリ80が、各サンプル周期ごとに命令実行ユニットにより実行されるプログラムを保持する途上で、これらバッファは、各サンプル周期ごとにTRAMエンジンにより実行される「プログラム」を表わす。音響効果エンジン50に対してコンパイルされたプログラムが遅延線に対して読み取り又は書き込みされるときには、実際にオペランドとして使用されるのは、TRAMデータバッファ84内の位置である。通常、TRAMアドレスバッファ85に記憶されるアドレスオフセットは、ホストプロセッサにより初期化される定数であるが、命令実行ユニット70により実行される命令は、その結果をメモリ72の適当なTRAMアドレスバッファに記憶することにより、新たな遅延線アドレスを計算することができる。

#### 【0020】

各サンプル周期中に、TRAMエンジンは、バッファのアドレス／データ対の各々を順次を経て動作し、従って、バッファの内容は、全サンプル周期にわたるTRAMアクセスの順序付けされたりストを表わす。サンプル周期内の各TRAMメモリサイクル中に、音響メモリエンジンによりTRAMアドレスバッファGPRからTRAMアドレスオフセットがフェッチされ、このオフセットから絶対TRAMメモリアドレスが計算され、そして信号値がアドレス対のTRAMデータバッファ位置からフェッチされるか又はそこに書き込まれる。

#### 【0021】

TRAMデータバッファは、TRAMから流れる音声データに対するソース及びシンクであり、各データバッファ位置は、アドレスバッファ位置と1対1で対にされ、アドレスバッファは、データに対応するTRAMにアドレスを保持する。制御ビット73は、各データ／アドレス対に関連したフィールドを有する個別のアレー（ホストからのみ書き込み可能であって、メモリスペース72へマップされない）である。これら制御ビットの幾つか（制御ビット83b、この実施形態では2ビットフィールド）は、対応するデータ及びアドレス対を用いてどんな形式のTRAMオペレーション、例えば、読み取り又は書き込みを行なわねばならないかを特定する。

#### 【0022】



(16)

特表2001-509610

命令実行ユニットでアドレス及びデータバッファへのアクセスを共用することにより、DSPの計算及びTRAMのアクセスは、時間的にそしてメモリ72のアドレススペースについて互いに減結合される。換言すれば、TRAMエンジンがメモリ72にアクセスするときと、命令実行ユニットがそれにアクセスするときの間には固定の時間的關係がない。この減結合が重要である理由は、高速の命令実行ユニットと、比較的低速の物理的TRAMメモリとの間には動作速度に固有の差があるためである。共用バッファを介してDSP及びメモリアccessを減結合すると、命令実行ユニットは、音響メモリエンジン及びその物理的メモリインターフェイスの負担となるアクセス待ち時間及びパイプラインの結果に関わりなく、フルスピードで処理を進めることができる。

#### 【0023】

TRAMバッファをメモリ72のアドレススペースへマップすると、実行ユニット70に対する命令からオペランドとしてバッファ位置をアクセスすることができる。このように、TRAMに記憶されたデータは、TRAMデータバッファを経て漏斗状に通して、DSPプログラムにおいて入力又は出力オペランドとして使用することができる。この透過的メモリマッピングとは、TRAMデータアクセスに対して特殊な命令が必要とされず、そしてこのデータへのアクセス中に低速のTRAMサイクルを待機して余計なオーバーヘッドを被らないことを意味する。

#### 【0024】

##### メモリ72

この実施形態では、メモリ72は、実際に、4つの個別の物理的なメモリ区分で構成される。図6は、メモリ72をより詳細に示す図である。図6に示されたように、メモリ72は、1024個の位置を含むが、その全部が使用されるのではない。しかしながら、メモリ72の1024個の位置は、全て、命令実行ユニット70によりアドレスすることができ、従って、メモリ72の全体は、均一なアドレス機構によってアドレスできるといえる。

メモリ72には4つの異なる機能エリアが存在する。即ち、入力／出力スペース83（メモリ位置0-40）と、汎用メモリスペース92（メモリ位置100

(17)

特表2001-509610

-200)と、TRAMデータ及びアドレスバッファ84及び85(メモリ位置200-280、内部TRAMデータ;位置280-2AO、外部TRAMデータ;位置300-380、内部TRAMアドレス;380-3AO、及び外部TRAMアドレス)と、ハードウェアレジスタ及び定数スペース94(位置40-60)である。これらの機能的ユニットは、メモリ72を構成する4つの物理的メモリと必ずしも対応しない。

#### 【0025】

汎用メモリスペース92は、命令実行ユニット70により実行されるDSPプログラムのための汎用オペランドを記憶する32ビット中の256個の位置を含む。このメモリスペースは、命令速度の4倍で動作する単一ポートメモリにより実施され、従って、各命令は、サイクル当たり3つの入力オペランド及び1つの出力オペランドにアクセスすることができる。メモリスペース94は、固定布線された頻繁に使用される定数を、種々のレジスタに対するスペースと共に含む。

#### 【0026】

上述したように、TRAMデータ及びアドレスバッファ84及び85は、内部及び外部のTRAM76及び79に対するポートである。各データバッファ位置は、アドレスバッファ位置と対にされる。データバッファは、それに対応するアドレスバッファ位置に含まれたTRAMアドレスにおいて読み取られるか又はそこに書き込まれるTRAMデータを保持する。汎用メモリスペース92と同様に、これらのバッファは、レジスタファイルメモリによって実施されそしてDSPプログラムのオペランドスペースに現われる。それらは、メモリ72のアドレススペースの個別部分に現われるが、TRAMバッファのデータ及びアドレス部分は、TRAMエンジン74により並列にアクセスされる。

この実施形態では、TRAMバッファは、全32ビット中ではなく、20ビットに制限される。これらの20ビットは、20ビットのTRAMアドレス及び20ビットの圧縮解除されたTRAMデータの両方を単一の共用内部RAMに受け入れる。20個のデータビットは、32ビットデータ経路の最上位位置に取まった状態に保たれる。しかしながら、20個のアドレスビットは、MSBが0と読まれる状態でデータ経路の次の上位ビット(30)に取められる。これは、アド

(18)

特表2001-509610

レスが命令実行ユニットに対して常に正の量として現われるようにする。

【0027】

#### 遅延線の実施

円形アドレッシングとは、メモリの領域を通して循環するメモリポインタを用いて遅延線を実施する機能を指す。遅延線の読み取りポインタは、円の周りの書き込みポインタに従い、これらポインタは同じレートで前進し、読み取りポインタと書き込みポインタとの間のメモリ内の距離が遅延線長さである。又、円形アドレッシングは、モジュロアドレッシングとしても知られている。というのは、全てのアドレス循環が領域サイズのモジュロで行なわれるからであり、これは、実施を簡単化するために通常2の累乗である。

【0028】

たとえば読み取り及び書き込みポインタが効果プロセッサ50においてアドレスを指すとしても、それらは、物理的なTRAMメモリアドレスとして実施されるのではなく、アドレスオフセットとして実施される。オフセットの初期値は、当業者に明かなように、アッセンブラー及びそれに関連したドライバソフトウェアによって固定することができる。各読み取り及び書き込みオペレーションに対して物理的メモリアドレスを得るために、オフセットが遅延ベースアドレスカウンタで加算される。このベースアドレスカウンタは、サンプルレートを減少し、従って、読み取り及び書き込みオフセットとベースアドレスとの和も、同じレートで減少し、そして書き込みオフセットが読み取りオフセットより小さい場合には、読み取りポインタがメモリを通して下方に書き込みポインタを追跡するために、遅延距離が両者の差となる。

【0029】

これは、仮説的な32サンプルのTRAMにおいて実施される4サンプル遅延線に対して図7A-7Cに示され、これについて以下に説明する。円形メモリにおいて強調された数字は、遅延線のどの値が現在「アクティブ」であって、検索を待機しているかを示す。遅延線の書き込みオフセットは0であり、そして読み取りオフセットは4であり、これらの値は一定に保たれる。最初に、ベースアドレス(BA)は0であり(図7A)、従って、書き込みオペレーションの物理的

(19)

特表2001-509610

アドレスも0であり、値7が書き込まれる。

#### 【0030】

4つのサンプル周期の後に、ベースアドレスカウンタBAは、32のTRAMサイズのモジュロで、0から28まで減少される(図7B)。これは、最も新しい値-2が遅延線の頭部に書き込まれ、ベースアドレス値28が書き込みオフセット0と加算される場合である。又、固定の読み取りオフセット4がモジュロ32のベースアドレスに加算されて、物理的読み取りアドレス0を与え、ここで、4サンプル前に書き込まれた値7を検索する。

#### 【0031】

読み取りポインタは、値をウェイク状態に保ち、これら値はここではインアクティブであって破棄することができる。ベースアドレスカウンタが0に向かって戻るように減少し始めると、書き込みカウンタが破棄された値に追い付くので、既にメモリに書き込まれたものを再使用し始める(図7C)。

#### 【0032】

音声信号プロセッサ10におけるこの遅延線の実施形態は、他の多数のDSPとは異なり、円形遅延線のアドレッシングが遅延線サイズのモジュロで実行されるのではなく、物理的アドレススペース(この小さくて簡単な例では、32個の位置)のモジュロで実行されることを示している。これは、異なる長さの多数の遅延線が同じ物理的アドレススペースを占有しながらも同じモジュロ演算を使用できることを意味する。その例が図7Dに示されている。図7Dでは、オフセット0で書き込みそしてオフセット4で読み取る図7Aの元の遅延線が、次の特性をもつ他の3つの遅延線により接合される。

2: [Write@5, Read@10]、

3: [Write@14, Read@15]、

4: [Write@16, Read@28]

完全な一般性のために、この例では遅延ベースアドレスカウンタ値2が使用されている。

#### 【0033】

図7Dから明らかなように、遅延ベースアドレスカウンタに対して各々別々の

(20)

特表2001-509610

読み取り及び書き込みオフセットをもつ4つの遅延線がTRAMに同時に存在し、そして物理的地址スペースにより形成されたモジュロ円の周りを互いに単純に追跡する。又、4つの遅延線は、使用可能な全てのメモリスペースを満たすのではなく、Read@10とWrite@14のオペレーション間にはメモリギャップが未使用のまま存在し、そして同様に、最後のRead@28以降のメモリが未使用となることに注意されたい。これらのエリアは、付加的な遅延線に使用することもできるし、或いは放棄されたスペースを使用して、Read@10及びRead@28がそれらの読み取りポイントを調整、即ち動的に拡張及び収縮させた遅延線を、他の遅延線に干渉することなく許すことができる。

又、音声効果プロセッサ50は、遅延線アドレスも容易に調整する。というのは、アドレスがメモリ72においてTRAMアドレスバッファ84に記憶され、そして他の演算オペランドと同様にアクセスできるからである。遅延線の長さは、遅延線の読み取り及び／又は書き込みポイントに対する新たなアドレスを計算することにより調整されるが、読み取りポイントのみを変更するのが最も一般的である。

#### 【0034】

遅延線の長さは、書き込みアドレスから読み取りアドレスまでの距離（サンプル数）であり、従って、遅延線を適切に調整するためには、新たに計算された遅延線を遅延線の書き込みアドレスと加算した後に、それをTRAMアドレスバッファに記憶しなければならない。バッファに記憶された書き込みアドレスは、最終的に、物理的なTRAMアドレスを得るための遅延ベースアドレスカウンタからのオフセットとして再び使用されるので、調整された遅延長さは、実際には、遅延ベースアドレスカウンタからのオフセットからの付加的なオフセットを表わす。遅延線の書き込みアドレスは、TRAMアドレスバッファに既に得られるので、読み取りオフセットは、次の式の命令で計算することができる。

$$\text{読み取りアドレス} = \text{書き込みアドレス} + (\text{Mod 関数} \times \text{最大遅延長さ})$$

最大遅延長さは、遅延線の宣言された最大長さであり、そしてMod関数は、0から1.0まで変化する制御信号である。

#### 【0035】

(31)

特許2001-509610

現在のVLSIプロセス(0.35 $\mu$ )は、反響及び3D音声(0.5Mビットないし2Mビット)のような幾つかの複雑な音響効果アプリケーションに必要な全遅延線容量を実現するのに必要とされる量の内部メモリをコスト効率良くサポートしない。一方、PCIバス49の慎重な使用は、あるアプリケーションによって必要とされる外部ホストメモリに対する帯域巾(64ないし128アクセス/サンプル周期)をサポートしない。音声効果プロセッサ50は、これら両方の形式のメモリへのアクセス、即ちオンチップの単一ポートスタティックメモリで実施される内部TRAM76(ITRAM)の8Kサンプルへの高帯域巾アクセスと、ホストDRAMメモリにおいてPCIバス49にまたがって実施される外部TRAM78(XTRAM)の1Mまで又はそれ以上のサンプルへの低帯域巾アクセスを与えることにより、妥協をとる。

これら2つのメモリスペースITRAM及びXTRAMは、論理的及び物理的に個別であり、そしてそれらのアドレススペースは重畳する。例えば、ITRAMのアドレス0x0000は、XTRAMのアドレス0x0000と同じ位置ではない。従って、一方のメモリスペース又は他方のメモリスペースのいずれかにおいて遅延線を実施しなければならない。

【0036】

#### 読み取り/書き込みハザードの回避

TRAMデータバッファ84では二重バッファ動作は生じない。従って、マイクロプログラムが、現在のサンプル周期に厳密に属していないバッファのデータをアクセスするような状態が生じる。読み取りオーバーレイの場合には、マイクロ命令が、以前のサンプル周期中にTRAMから実際にフェッチされたデータムをバッファから読み取り得る。書き込みオーバーレイの場合には、マイクロ命令が、次のサンプル周期までTRAMに実際にフラッシュ出力されないデータムをTRAMに書き込むことがある。

【0037】

これらの状態は、音響メモリエンジン74が命令実行ユニット70に密接に結合されないことから生じる。バッファ内の同じデータムに対して命令実行ユニット70により行なわれるアクセスと、音響メモリエンジン74により行なわれる

(22)

特表2001-509610

アクセスとの間に任意の時間的な関係が存在する。この関係は、マイクロ命令ワード及びTRAMバッファ位置の相対的な配置と、実行ユニット及び音響メモリエンジンの相対的なアクセスレートとにより確立される。この関係は、当業者に明らかなように、マイクロプログラムローダ（例えば、ソフトウェアドライバ）によって決定される。

【0038】

TRAM読み取りオペレーションからのリコールハザードの一例が図8Aに示されている。図8Aは、2つのTRAMオペレーションを示し、その一方は、アドレスオフセット100からであり、そしてその他方は、オフセット110からである。各サンプル周期ごとに1だけ減少するベースアドレスカウンタが、各アクセス中にTRAMアドレスバッファに記憶されたTRAMオフセットに追加されて、物理的なTRAMメモリアドレスを形成する。簡単化のため、この例は、TRAM及び命令実行エンジンが、各々、バッファ及びマイクロプログラムメモリを通して同じレートでシーケンスすると仮定する。

【0039】

フェッチオペレーションは、TRAMエンジンがTRAM読み取りオフセット100に遭遇するときに生じる。これは、物理的地址101からメモリフェッチを開始し、そしてTRAMアクセス遅延時間の後に、101からのデータがデータバッファに現われる。これは、マイクロ命令の実行により、バッファから逐次に読み取られる。このケースでは、読み取りに先行するフェッチと、TRAMアドレス101からそのデータを受け取ったマイクロ命令が、1のベースアドレスから、予想されるように100だけオフセットする。

【0040】

ある数の命令サイクルの後に、オフセット110からデータを求めるマイクロ命令は、110からのデータが通常満たされたバッファ位置からそのデータを読み取る。しかしながら、このケースでは、読み取りオペレーションがTRAMフェッチに先行し、フェッチは、別の数サイクルの間は生じない。というのは、アドレスバッファにおいてマイクロ命令ワードを数個の位置だけ過ぎたところにTRAMオフセット110が記憶されているからである。TRAMアドレス111

(23)

特表2001-509610

(オフセット110+現在ベースアドレスカウンタ1)からデータを受け取るのではなく、マイクロ命令は、以前のサンプル周期中にフェッチされたデータを受け取る。同時に、ベースアドレスカウンタが2であり、従って、読み取られたバッファのデータは、実際には、1サンプル周期だけ長く遅延されたTRAMアドレス112からのものである。

## 【0041】

この1だけずれたエラーは、マイクロ命令の読み取りがTRAMバッファのフェッチに先行するときに生じる。1ビットのアドレスオフセット(整列ビット83a)は、整列制御回路87と共に、マイクロ命令の読み取りがTRAMエンジンのフェッチに先行するときに1だけずれたエラーを打ち消すことにより、この問題に対する解決策を与える。上記と同じ例を使用して、この解決策が図8Bに示されている。図8Bに示すように、TRAMバッファの構造は、TRAMアドレスと1対1で対にされるアドレス整列ビット83aを含むフィールドを包含するように増大されている。整列制御回路87は、整列ビット83aを検査し、そして物理的なTRAMアドレスを決定するのに使用されるアドレスジェネレータ88へ入力を与える。

## 【0042】

TRAM書き込みオペレーションには、読み取りハザードと対称的な問題が生じ得る。この状態が図8Cに示されている。マイクロ命令がSTRAMに結果を書き込むときには、結果データが読み取りオペレーションの場合と同様にバッファされ、TRAMエンジンが結果をメモリへフラッシュ出力するのを待機する。TRAMに書き込むマイクロ命令が、フラッシュオペレーションが行なわれる前に実行される場合には、問題が起きない。マイクロ命令ワードに先行するバッファ位置にTRAMオフセット及びデータが記憶されるときに問題が生じる。これらのケースでは、TRAMエンジンが、以前のサンプル周期中にマイクロコードによって書き込まれたデータを実際にフラッシュし、遅延線の遅延がその公称長さを1サンプル周期だけ越えるのが有効な結果である。

## 【0043】

この問題に対処するために、音響メモリエンジン74は、その後のサンプル周



(24)

特表2001-509610

期中に、厳密に終了していなければならない場所にデータがフラッシュ出力されるように確保する。データアドレスがカウントダウンされる場合には、これは、以前のサンプル周期中にデータをフラッシュしなければならない物理的地址を計算するためにオフセットに「1」が追加されることを意味する。この場合にも、図8Dに示したように、整列制御回路87に整列ビット83aを使用して、書き込みオペレーションに対するこの1だけずれるエラーを打ち消すことができる。

#### 【0044】

この場合の相違点は、整列ビットが、TRAMアドレスエンジンに向かう「+1」オフセットを意味し、読み取りオペレーションに使用された「-1」を意味するのではないことである。これは、各アドレス（図示せず）に関連した読み取り/書き込みビットを考慮することにより容易に達成される。

整列ビットを設定する1つのやり方は、マイクロコードローダ（ソフトウェアドライバ）を使用することであり、これは、TRAMアドレスバッファにおける全てのオフセットの位置と、これらオフセットに対応するTRAMデータを使用する全ての命令とを追跡する。この「ローダ」は、マイクロコードのダウンロード時間に動作してもよいし、或いは実際には、マイクロコードの形成時間に動作する必要しかない「ロケータ」であってもよい。マイクロコード及びTRAMエンジンシーケンサの相対的な実行レートに関する情報及び知識により、ローダは、どのTRAMデータが、実際にメモリからフェッチされる前にバッファから読み取られるか、又はフラッシュされる前に書き込まれるかを決定することができる。そのデータに関連したTRAMオフセットに対応する整列ビットをセットすることによりこのような状態にフラグが立てられる。次いで、整列ビットは、TRAMアドレスエンジン88へ供給され、そして物理的なTRAMアドレスを形成するときに±1の余分なオフセットとして使用される。

#### 【0045】

別のやり方は、整列ビットオフセットを自動的に発生するハードウェアを音響メモリエンジン74に使用することである。マイクロプログラムシーケンサは、TRAMエンジンシーケンサがバッファの始めに再スタートされそしてベースア

(25)

特許2001-509610

ドレスカウントが増加される同じサイクルに再スタートする。このとき、整列ビットは、書く読み取りオフセットに対してクリアされ、そして各書き込みオフセットに対してセットされる。マイクロコードが読み取り又は書き込みオペレーションに対してTRAMデータバッファをアクセスするときには、対応するオフセットに対する整列ビットが、各読み取りオフセットごとにセットされ、そして各書き込みオフセットごとにクリアされる。従って、「不整列」のTRAMフェッチ又はフラッシュオペレーションは、整列ビットの正しい意味を自動的に使用する。このやり方は、あまり好ましくない。というのは、TRAMデータバッファへのマイクロ命令アクセスを、アドレス使用とデータフェッチとの間のパイプライン遅延へとスリップさせることがないよう保証するために、他の手段を講じねばならないからである。このような保証がないと、マイクロ命令アクセスは、たとえ最後のサンプル周期のバッファデータをアクセスしても整列ビットを更新する機会をもたず、物理的地址が決して正しくならないからである。

【0046】

#### TRAMデータ及びアドレスバッファ84及び85の初期化

遅延線が使用されるときには、効果プロセッサ50によって電力が受け取られるや否や、TRAM読み取り及び書き込みオペレーションがスタートする。書き込みオペレーションは問題を起こさないが、TRAM76及び78が適切に初期化されない限り、読み取りオペレーションは最初にノイズを発生する。従って、TRAMを初期化することが重要となる。1つの実施形態では、これらのメモリスペースは、音響プロセッサ50のプログラムを実行する前に各位置に0を書き込むことにより初期化される。しかしながら、これは、時間浪費な作業である。従って、他の好ましい実施形態では、このような初期化ルーチンを実行するために専用のハードウェア回路が使用される。当業者に明らかなように、本発明では種々のこのような回路を設計して使用することができる。

【0047】

#### 他の実施形態

本発明の1つの特定の実施形態を以上に詳細に説明した。本発明の多数の観点では、本発明の概念から逸脱せずに変更できることが理解されよう。他の実施形態

(26)

特表2001-509610

では、例えば、ワードサイズ、アドレスフィールド長さ、メモリサイズ、使用する制御ビット83の数、及び他の実施特有の項目を変更することができる。又、効果プロセッサ50は、音響処理システムにおいて音声信号に対するオペレーションを実行する音声効果プロセッサとして説明したが、当業者であれば、効果プロセッサ50は、任意の信号処理システムにおいてレーダ信号、地震信号又は他の時系列信号も処理できることが明らかであろう。

音声効果プロセッサ50を実施する多数の他の同等の又は別の方法が当業者に明らかであろう。例えば、音響メモリエンジン74は、内部及び外部TRAMメモリ76及び78に非円形インデックスのアドレッシングを用いてテーブルルックアップオペレーションを実施することができる。データのテーブルは、ホストプロセッサ18によりTRAMにロードすることができ、そして命令実行ユニット70によりインデックスが計算されたスタティックアレーと同様にアクセスすることができる。音響メモリエンジンは、各アドレスに関連した付加的なTRAM制御ビットの設定により、遅延線アクセスをテーブルルックアップアクセスと区別することができる。テーブルベースのアドレッシングは、非線型関数、合成のための波テーブル又は励起関数、ブロックベースの係数記憶を実施したり、他の多数のアプリケーションに有用である。「テーブルルックアップ」とは、読み取りオペレーションを意味するが、テーブルベースのアドレッシングは、書き込みオペレーションに等しく適用され、従って、ホストでテーブル値の計算を行うのではなく音声効果プロセッサ50がテーブル値をリアルタイムで計算するようにすることができる。

#### 【0048】

テーブルベースのアドレッシングは、遅延ベースのアドレスカウンタを一定に減少するのではなくスタティックなテーブルベースアドレスレジスタを使用することにより遅延線アドレッシングとは区別される。遅延線アクセスが遅延ベースアドレスカウンタに対するオフセットで常に行なわれたのと同様に、テーブルルックアップも、テーブルベースのアドレスレジスタに対して常に行なわれる。テーブルベースのアドレスレジスタは、ホストによって初期化され、そしてメモリ72のアドレススペースへマップされる。もし必要であれば、テーブルベースア

(27)

特表2001-509610

ドレスは、他の命令オペランドと同様に、DSPプログラムから読み取ることができる（書き込みはできない）。

#### 【0049】

テーブルベースのアドレスレジスタの初期化は、通常、システムのスタートアップ時にホスト18によって行なわれる。そこに記憶されたアドレスは、物理的TRAMを円形領域及びテーブルルックアップ領域に区分化する。全ての遅延線アドレスは、物理的メモリサイズのモジュロではなく、テーブルベースアドレスのモジュロで計算され、従って、遅延線オペレーションは、0ないし【テーブルベース】のメモリ領域内で自動的に行なわれる。このように、テーブルベースアドレスレジスタは、実際に、「遅延制限」レジスタとしても働く。

円形遅延アドレッシングがTRAMアドレスバッファエレメントを遅延ベースアドレスカウンタからのオフセットとして処理するのと同様に、テーブルベースアドレッシングは、これらアドレスをテーブルベースアドレスレジスタに対するオフセットとして使用する。物理的なTRAMアドレスを計算するために、TRAMアドレスバッファの内容がテーブルベースアドレスレジスタに追加される。テーブルインデックスを適切な倍率で計算しそしてそれをTRAMアドレスバッファにオフセットとして記憶することにより、DSPプログラムは、計算されたテーブルルックアップを実行することができる。

#### 【0050】

音声効果プロセッサ50にロードされた全てのプログラムは、同じテーブルベースアドレスレジスタを使用し、その値は、通常、システム初期化時にホストによって確立される。2つ以上のプログラムがテーブルルックアップ記憶を必要とする場合には、異なるプログラムに属する個々のテーブルが全体的なテーブルルックアップ領域内から区分化される。DSPプログラムは、通常のGPRを用いてそれら自身の専用のテーブルオフセットレジスタを宣言することができ、その内容は、テーブルベースアドレスレジスタからのオフセットを表わし、そしてその位置及び内容は、プログラムローダにより適切に再配置される。次いで、これらの専用のテーブルオフセットレジスタGPRが、計算されたテーブルインデックスと加算された後に、TRAMメモリにおいてテーブルルックアップオペレー

(28)

特許2001-509610

ションが実行される。

【0051】

通常、テーブルルックアップオフセットは、TRAMのテーブルルックアップ領域内にあるアドレスを形成するが、音響メモリエンジンがアドレス制限もトラッピングも行なわないので、特殊なアプリケーションではこの領域以外のアドレスを発生することができる。遅延線アドレッシングに関しては、TRAMアドレスバッファのオペランドデータ経路整列は、全てのTRAMテーブルオフセットが正の量であるように確保し、従って、テーブルルックアップ領域より下のアドレスを発生するためには、プログラムが、全TRAMアドレススペース（1つの実施形態では2<sup>10</sup>の位置）を取り巻いて遅延線領域へと戻るアドレスを発生しなければならない。

【0052】

テーブルルックアップオペレーションを実行するのに加えて、本発明の他の変更も可能である。例えば、音響処理エンジン40、音響プロセッサ50及びインターフェイスユニット60は、全て、単一チップの音響プロセッサの一部として説明したが、これら要素の機能は、他の実施形態では個別のICから実行することもできる。同様に、命令実行ユニット70及び音響メモリエンジン74が個別チップにおいて実施されるようなアーキテクチャーを開発することもできる。又、音響プロセッサ30は、専用のマルチメディアカード32以外のコンピュータマザーボードに直接含ませることもでき、そして別のデータは、メモリ72とTRAMメモリ76及び78との間に転送されるときには、圧縮及び膨張されない。これらの同等の構成及び他の構成は、本発明の範囲内に包含されるものとする。

【図面の簡単な説明】

【図1A】

本発明の音声効果プロセッサを使用することのできる代表的なマルチメディアパーソナルコンピュータシステムを示す図である。

【図1B】

図1Aに示されたマルチメディアパーソナルコンピュータシステムの内部アー

(29)

特表2001-509610

キテクチャーを簡単に示す図である。

【図2】

図1Bに示すマルチメディアボード28、即ち本発明の音声信号プロセッサを組み込むことのできるボードを示す簡単なブロック図である。

【図3】

図2に示す音声信号プロセッサの1つの実施形態を示す簡単なブロック図である。

【図4】

図3に示す本発明の音声効果プロセッサ50の簡単なブロック図である。

【図5】

図4に示す音響メモリエンジン74の1つの実施例を示すブロック図である。

【図6】

図4に示すメモリ72の1つの実施形態においてメモリスペースの割り当てを示すブロック図である。

【図7A】

本発明による遅延線が発生するのに使用される回路アドレス機構を示す図である。

【図7B】

本発明による遅延線が発生するのに使用される回路アドレス機構を示す図である。

【図7C】

本発明による遅延線が発生するのに使用される回路アドレス機構を示す図である。

【図7D】

本発明による遅延線が発生するのに使用される回路アドレス機構を示す図である。

【図8A】

メモリ72が命令実行ユニット70とで共用されるために生じ得るTRAM読み取り及び書き込みハザードを音響メモリエンジン74がいかに防止するかを示す。

(30)

特表2001-509610

す図である。

【図8B】

メモリ72が命令実行ユニット70とで共用されるために生じ得るTRAM読み取り及び書き込みハザードを音響メモリエンジン74がいかに防止するかを示す図である。

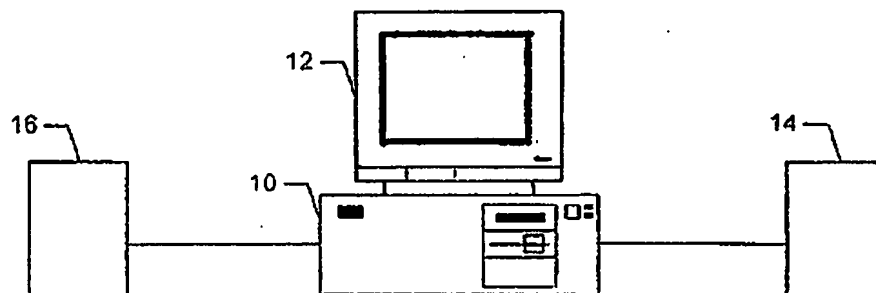
【図8C】

メモリ72が命令実行ユニット70とで共用されるために生じ得るTRAM読み取り及び書き込みハザードを音響メモリエンジン74がいかに防止するかを示す図である。

【図8D】

メモリ72が命令実行ユニット70とで共用されるために生じ得るTRAM読み取り及び書き込みハザードを音響メモリエンジン74がいかに防止するかを示す図である。

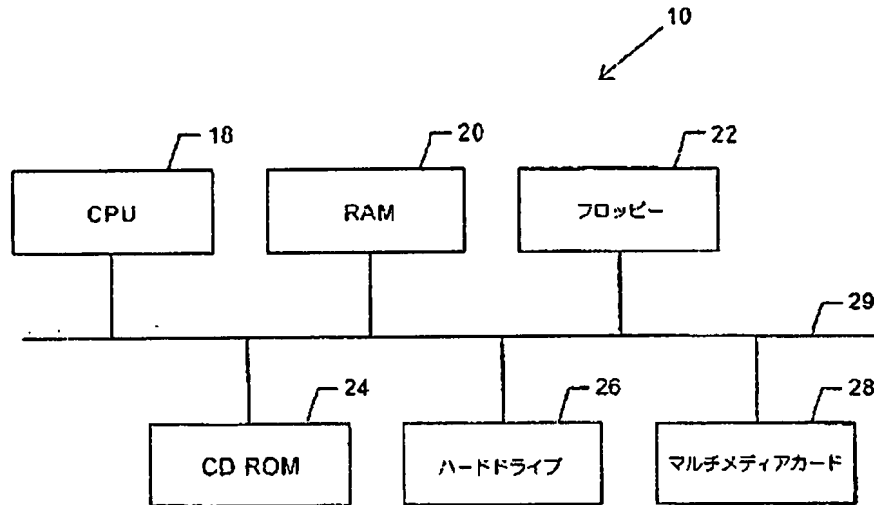
【図. 1A】



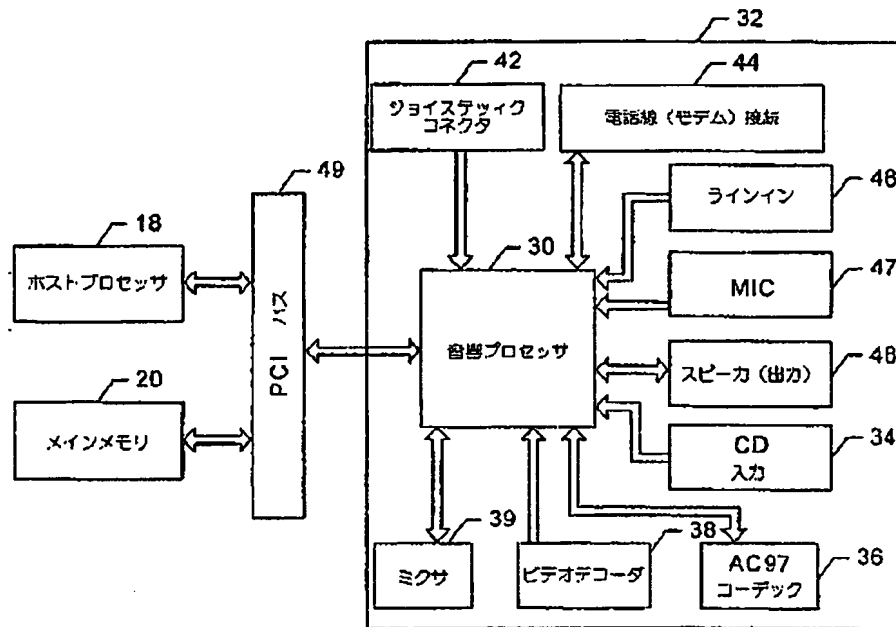
(31)

特表2001-509610

【図. 1 B】



【図. 2】

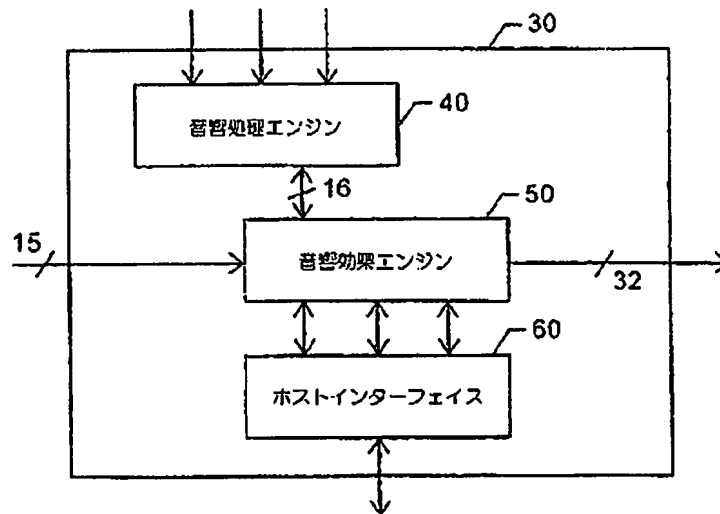




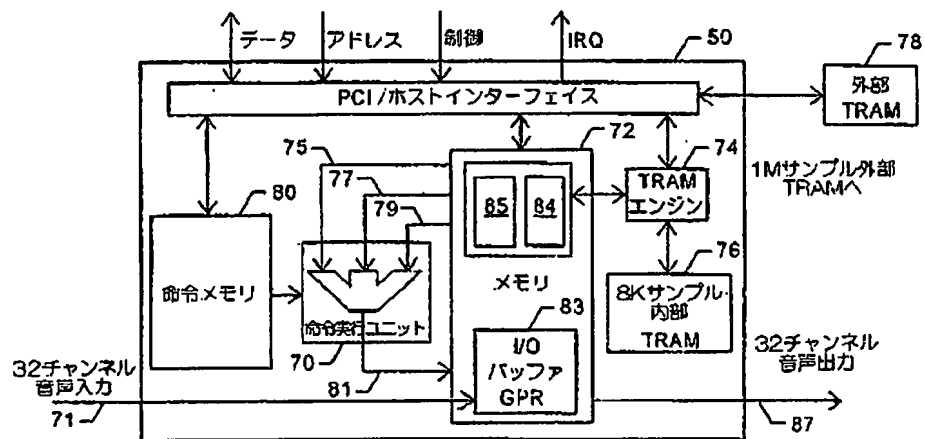
(32)

特許2001-509610

【図. 3】



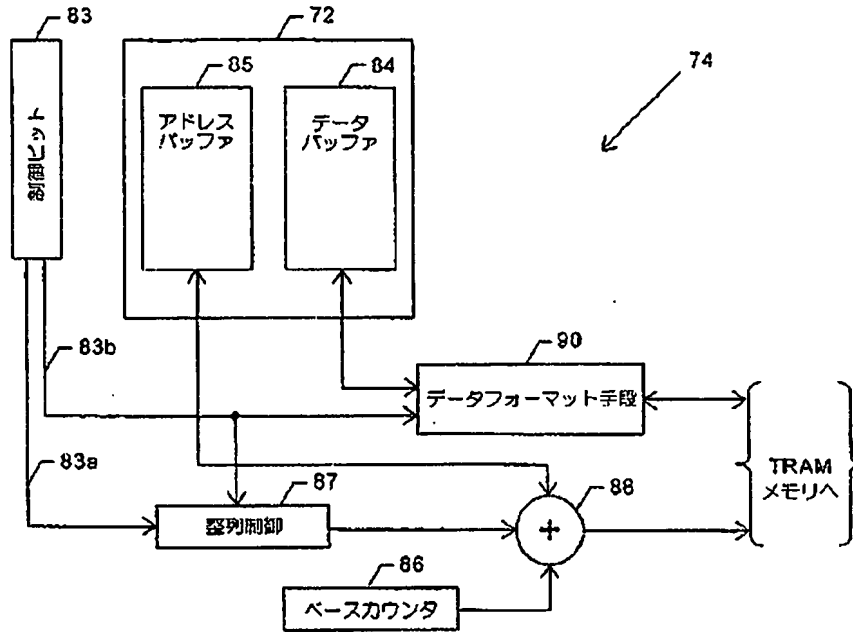
【図. 4】



(33)

特表2001-509610

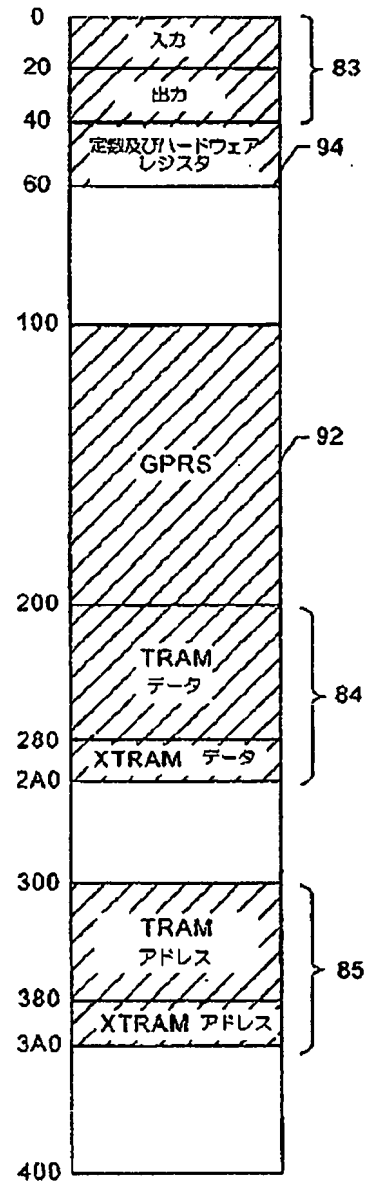
【図. 5】



(34)

特許2001-509610

【図. 6】



(35)

特表2001-509610

【図. 7 A】

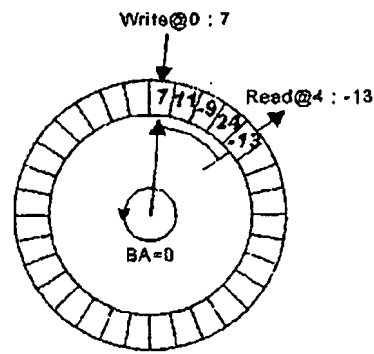


Fig. 7A

【図. 7 B】

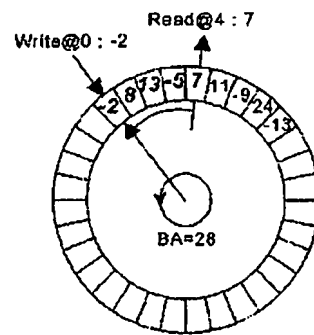


Fig. 7B

【図. 7 C】

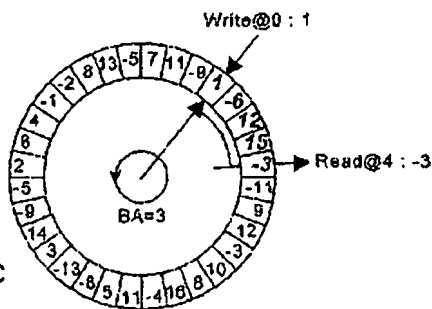


Fig. 7C

(36)

特表2001-509610

【図. 7 D】

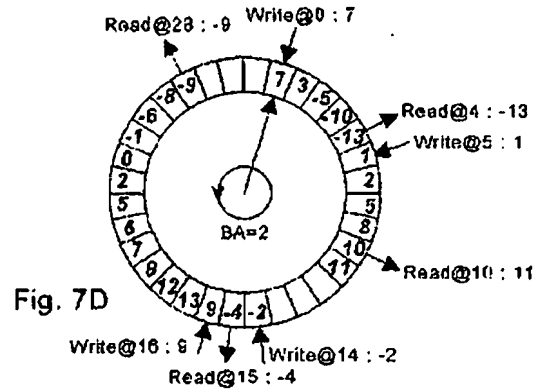
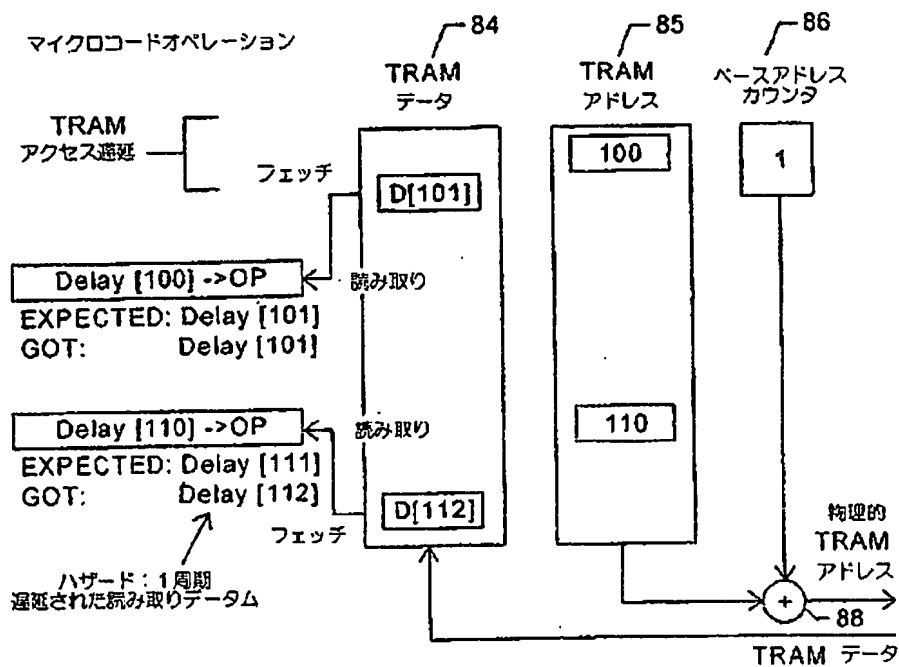


Fig. 7D

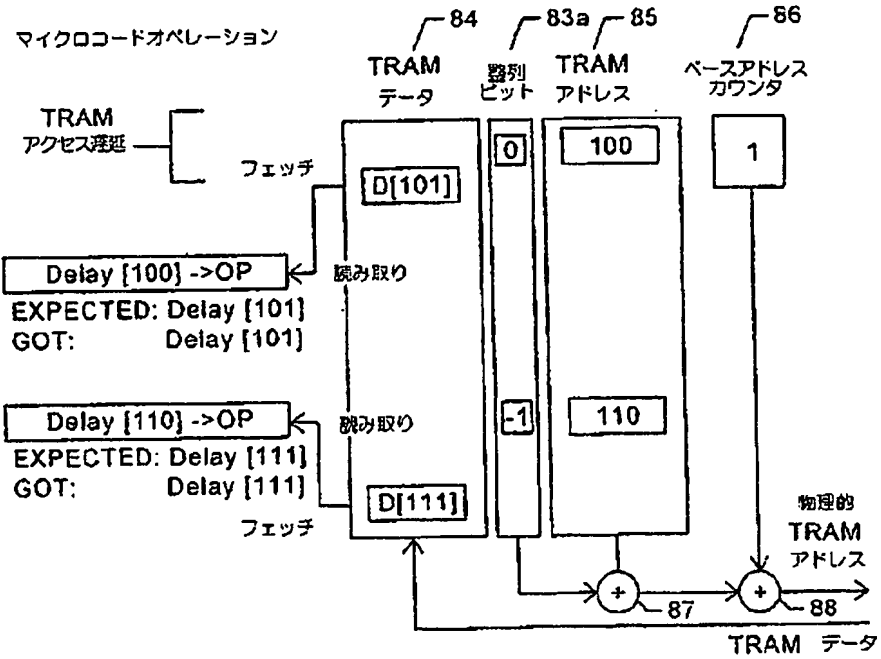
【図. 8 A】



(37)

特表2001-509610

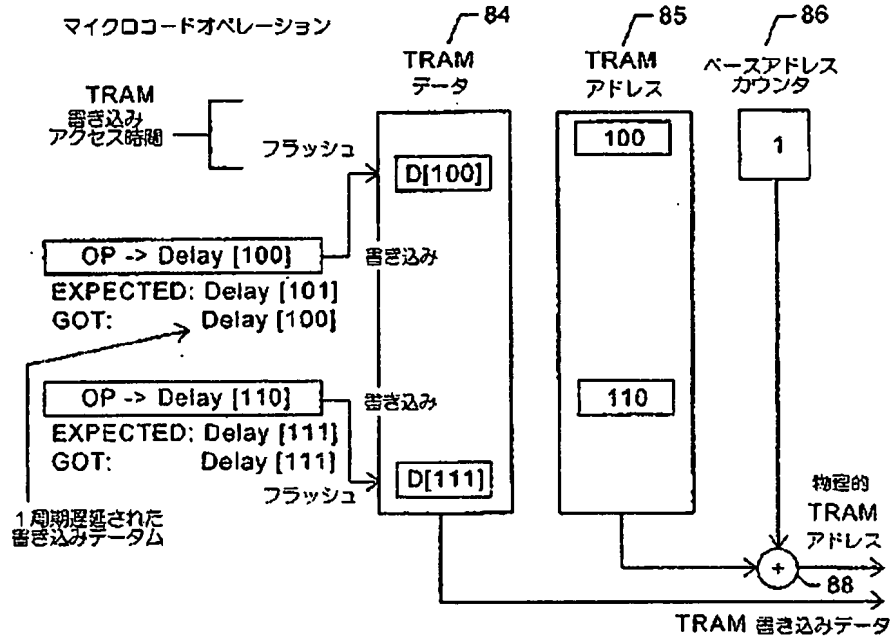
【図. 8B】



(38)

特表2001-509610

【図. 8C】







(40)

特表2001-509610

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US98/13544		
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(Cl.) : H04H 5/00 US CL. : 364/400.01; 381/401, 17, 18, 63; 346/601, 602, 605; 711/104, 105, 209 According to International Patent Classification (IPC) or to both national classification and IPC				
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 364/400.01; 381/401, 17, 18, 63; 346/601, 602, 605; 711/104, 105, 209 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Note: Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APB Search terms: instruction execution, memory, storage, arithmetic and memory access, audio, sound, synthesize, processor.				
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X --- Y	US 5,627,988 A (OLDFIELD) 06 May 1997, see entire document.	1, 3-4, 8-13, 15-16 ----- 5, 14, 17-18		
X, P --- Y	US 5,678,021 A (PAWATE et al) 14 October 1997, see entire document.	1, 3-4, 8-13, 15-16 ----- 5, 14, 17-18		
X, P	US 5,659,797 A (ZANDVELD et al) 19 August 1997, see entire document.	1, 3-4, 8-11		
X, P	US 5,868,338 A (MIYANO) 15 September 1997, see entire document.	18-28 5, 14, 17-18		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.				
<table border="0"> <tr> <td style="vertical-align: top;">                     * Special categories of cited documents:                      "A" documents defining the patent, state of the art, which is an antecedent to be of particular relevance                      "B" earlier documents published on or after the international filing date                      "C" documents which may have been in priority (claim) or which is cited to establish the prior art date of another claim or other material relevant to the invention                      "D" documents referring to or containing disclosure, use, criticism or other matter                      "P" documents published prior to the international filing date but later than the priority date claimed                 </td> <td style="vertical-align: top;">                     "T" later documents published after the international filing date or priority date and are to be cited with the applicant's knowledge to understand the state of the art relevant to the invention                      "X" relevance of particular references; the claimed invention cannot be considered novel or non-obvious as compared to the prior art when the document is taken alone                      "Y" relevance of particular references; the claimed invention cannot be considered to involve an inventive step when the document is considered in the context of other such documents, such combinations being obvious to a person skilled in the art                      "Z" document member of the same patent family                 </td> </tr> </table>			* Special categories of cited documents: "A" documents defining the patent, state of the art, which is an antecedent to be of particular relevance "B" earlier documents published on or after the international filing date "C" documents which may have been in priority (claim) or which is cited to establish the prior art date of another claim or other material relevant to the invention "D" documents referring to or containing disclosure, use, criticism or other matter "P" documents published prior to the international filing date but later than the priority date claimed	"T" later documents published after the international filing date or priority date and are to be cited with the applicant's knowledge to understand the state of the art relevant to the invention "X" relevance of particular references; the claimed invention cannot be considered novel or non-obvious as compared to the prior art when the document is taken alone "Y" relevance of particular references; the claimed invention cannot be considered to involve an inventive step when the document is considered in the context of other such documents, such combinations being obvious to a person skilled in the art "Z" document member of the same patent family
* Special categories of cited documents: "A" documents defining the patent, state of the art, which is an antecedent to be of particular relevance "B" earlier documents published on or after the international filing date "C" documents which may have been in priority (claim) or which is cited to establish the prior art date of another claim or other material relevant to the invention "D" documents referring to or containing disclosure, use, criticism or other matter "P" documents published prior to the international filing date but later than the priority date claimed	"T" later documents published after the international filing date or priority date and are to be cited with the applicant's knowledge to understand the state of the art relevant to the invention "X" relevance of particular references; the claimed invention cannot be considered novel or non-obvious as compared to the prior art when the document is taken alone "Y" relevance of particular references; the claimed invention cannot be considered to involve an inventive step when the document is considered in the context of other such documents, such combinations being obvious to a person skilled in the art "Z" document member of the same patent family			
Date of the actual completion of the international search		Date of mailing of the international search report		
23 SEPTEMBER 1998		19 OCT 1998		
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20531 Facsimile No. (301) 345-3220		Authorized officer XU MEI Telephone No. (703) 308-6610		

Form PCT/ISA/210 (second sheet) July 1992

(41)

特表2001-509610

INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP98/13844

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X, P	US 5,745,743 A (KAKISHITA) 28 April 1998, see entire document.	19-28, 5, 14, 17-18
X, P	US 5,804,750 A (SHIRAKAWA et al) 08 September 1998, see entire document.	19-28, 5, 14, 17-18
A	WO 92/15087 A (KEMP et al) 03 September 1992, see entire document.	1-28
A	US 5,590,301 A (GUENTHNER et al) 31 December 1996, see entire document.	1-28
A, P	US 5,640,527 A (PECONE et al) 17 June 1997, see entire document.	1-28
A	US RE. 30,331 (SORENSEN et al) 08 July 1980, see entire document.	1-28

Form PCT/ISA/210 (continuation of second sheet)(July 1992)•

(42)

特表2001-509610

---

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, I T, LU, MC, NL, PT, SE), OA(BF, BJ , CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, L S, MW, SD, SZ, UG, ZW), EA(AM, AZ , BY, KG, KZ, MD, RU, TJ, TM), AL , AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, E E, ES, FI, GB, GE, GH, GM, GW, HR , HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, L V, MD, MG, MK, MN, MW, MX, NO, NZ , PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, U S, UZ, VN, YU, ZW